

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-259306

(43)Date of publication of application : 08.10.1993

(51)Int.Cl.

H01L 23/12

(21)Application number : 04-053311

(71)Applicant : FUJITSU LTD

(22)Date of filing : 12.03.1992

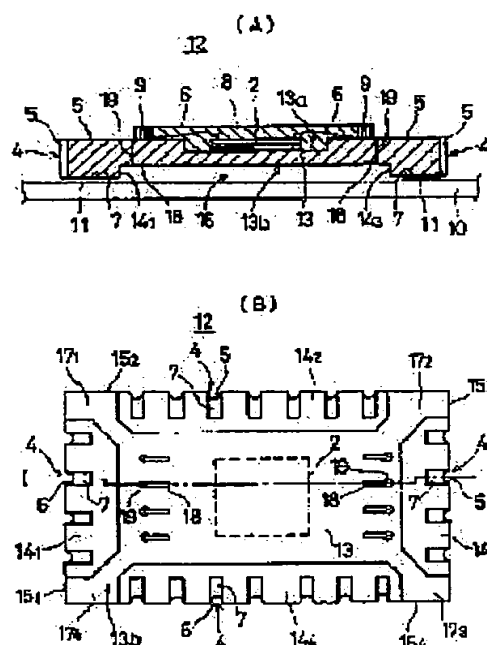
(72)Inventor : ASADA KENJI
AOKI TSUYOSHI
HIRAIWA KATSURO
HARAGUCHI TAKASHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable the cleaning of the circuit board at the bottom of a device and see to that it does not prevent the high integration of the circuit board without increasing the dimension of a package even if the number of terminals increases, concerning a semiconductor device wherein the package on two or more faces of which terminals are arranged is mounted in parallel with the circuit board.

CONSTITUTION: Step parts 141, 142, 143, and 144 are arranged on the bottom 13b of a semiconductor device 12, and space 16 commutating with the outside of a base 3 is made between an outer circuit board 10 and the bottom 13b. A semiconductor chip 2 leads to the circuit board 10 through conductive members 5 and 7. A terminal 17 for test communicating with the semiconductor chip 2 is provided further at the bottom 13b.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-259306

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl.⁵

H01L 23/12

識別記号

庁内整理番号

FI

技術表示箇所

8617-4M

H01L 23/12

L

審査請求 未請求 請求項の数3(全5頁)

(21)出願番号 特願平4-53311

(22)出願日 平成4年(1992)3月12日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 浅田 憲治

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 青木 強

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 平岩 克朗

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 伊東 忠彦 (外2名)

最終頁に続く

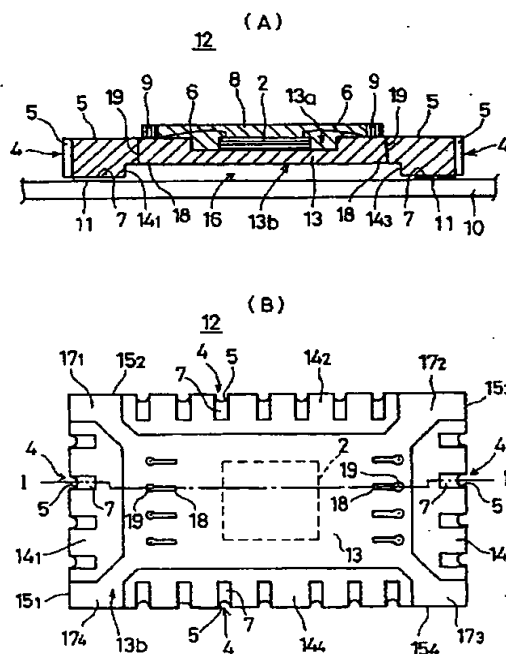
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 パッケージの2以上の面に端子が配設されてパッケージが回路基板に平行に実装される半導体装置に関し、装置底面の回路基板を洗浄可能とし、端子数が増加してもパッケージ寸法を増大させず回路基板の高密度化を妨げない。

【構成】 半導体装置12の底面13bには段部14₁、14₂、14₃、14₄が配設され、外部回路基板10と底面13bの間にはベース3の外側と連通した空隙部16が形成される。半導体チップ2は導電部材5、7を介して回路基板10と導通される。また底面13bには、半導体チップ2と導通したテスト用端子17が更に設けられている。

本発明の一実施例の構成図



【特許請求の範囲】

【請求項 1】 半導体チップ (2) が載置されるベース (13) と一端を該半導体チップ (2) と電気的に接続され他端が該ベース (13) の外部と導通可能となるよう該ベース (13) の 2 以上の外側面 (15₁, 15₂, 15₃, 15₄) に配設された導電部材 (5, 7) とを具備した半導体装置において、

該導電部材 (5) の該他端 (7) が外部回路基板 (10) と導通可能なよう該外部回路基板 (10) に該ベース (13) を配設した時に該外部回路基板 (10) に当接して該外部回路基板 (10) と該ベース (13) の該外部回路基板 (10) に対向する底面 (13b) との間に該ベース (13) の外側と連通する空隙部 (16) を構成するよう該ベース (13) の底面 (13b) より突出して設けられた段部 (14₁, 14₂, 14₃, 14₄) を具備したことを特徴とする半導体装置 (12)。

【請求項 2】 半導体チップ (2) が載置されるベース (13) と一端を該半導体チップ (2) と電気的に接続され他端が該ベース (13) の外部と導通可能となるよう該ベース (13) の 2 以上の外側面 (15₁, 15₂, 15₃, 15₄) に配設された導電部材 (5, 7) とを具備した半導体装置において、

該導電部材 (5) の該他端 (7) が外部回路基板 (10) と導通可能なよう該外部回路基板 (10) に該ベース (13) を配設した時に該ベース (13) の該外部回路基板 (10) に対向する底面 (13b) に、一端が該半導体チップ (2) と電気的に接続され他端が該ベース (13) の外部と導通可能とされるテスト用端子 (18) を更に具備したことを特徴とする半導体装置 (12)。

【請求項 3】 前記段部 (14₁, 14₂, 14₃, 14₄) は、前記テスト用端子 (18) が具備される前記ベース (13) の前記底面 (13b) より突出して設けられることを特徴とする請求項 1 記載の半導体装置 (12)。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は半導体装置に係り、特に、パッケージの 2 以上の面に端子が配設されてパッケージが回路基板に平行に実装される半導体装置に関する。

【0002】 近年、半導体装置の高集積化、高機能化に伴いその端子数が増加した結果、パッケージの 2 以上の外側面に外部回路基板と導通可能に多数の端子が配設され、回路基板に平行にパッケージが実装される半導体装置が広く使用されている。これらの半導体装置は、回路基板をより小型化するために回路基板上での専有面積の小さなものが要求されている。

【0003】

【従来の技術】 図 2 は従来の半導体装置の一例の構成図である。図 2 (B) は底面図であり、図 2 (A) は図 2

(B) 中 II-II' 線における縦断面図である。なお、図 2 (A) は、LCC (Leadless Chip Carrier) パッケージにより構成される半導体装置 1 が、回路基板 10 に実装された状態を表す。

【0004】 ベース 3 はプリント板プラスチック或いは積層セラミックで構成されたもので平板状の形状であり、上面中央部には凹部 3a が形成され、また四方の外側面 15₁, 15₂, 15₃, 15₄ には夫々複数の U 字溝 4 (以下、サイドノッチと称する) が形成されており、その底面 3b は平坦面とされている。凹部 3a には半導体チップ 2 が接着剤により固着され、半導体チップ 2 とメタライズ層 5 はワイヤ 6 によりワイヤボンディングされ接続されている。メタライズ層 5 はベース 3 の表面が金属化されてなり、ベース 3 の上面よりサイドノッチ 4 内を経由してベース 3 の底面 3b の外縁部までに形成されている。底面 3b にはメタライズ層 5 により略長方形のパッド 7 が形成される。

【0005】 パッド 7 は回路基板実装時の半田付け用端子であり、回路基板 10 にはパッド 7 の位置に対応して端子 11 が配置されている。端子 11 にクリーム半田を塗布して半導体装置 1 を載置しリフロー半田付けすることにより、回路基板 10 に半導体装置 1 が実装される。

【0006】 このとき、メタライズ層 5 はサイドノッチ 4 内に形成されているためベース 3 の外側面 15₁, 15₂, 15₃, 15₄ から突出しない。したがって、回路基板 10 上で半導体装置 1 に近接して他の電気部品を配置してたとえ接触しても、メタライズ層 5 がショートすることがない。

【0007】 なお、ベース 3 がプリント板プラスチックの場合、半導体チップ 2 とワイヤ 6 とは樹脂製の封止材 8 に覆われて封止されるが、このときに封止材 8 が流れ出さないように杵状の突出部 9 が、ベース 3 の上面に形成されている。また、ベース 3 がセラミックの場合、半導体チップ 2 を擁する凹部 3a を密封するためのキャップの接着面として杵状の突出部 9 をベース 3 の上面に形成する。

【0008】 ところで、図 2 においては簡単のために半導体装置 1 は 2 2 端子構成としたが、マイクロコンピュータ、ASIC (Application Specific Integrated Circuit) 等のロジック部を有する LSI (Large Scale Integration) チップを搭載する半導体装置は入出力信号用の端子 (I/O 端子) の数が多く、例えば 2 万ゲートのゲートアレイの場合、その数は 300 端子近くにも及ぶ。

【0009】 またこれらの半導体装置は回路基板実装用の端子以外にも多数の試験用の端子を有しており、近年、半導体装置の高集積化、高機能化にともない半導体装置の端子数は益々増加する傾向にある。

【0010】

【発明が解決しようとする課題】 しかしながら上記従来の半導体装置によれば、ベース 3 の底面 3b は平坦とさ

れているために、図2(A)に示す回路基板実装状態では回路基板10の表面とベース3の底面3bとの間には殆ど隙間がない。このため、回路基板10に電気部品を半田付けした後にこれを洗浄する際に洗浄液が回路基板10の表面とベース3の底面3bとの間に流入することが困難であり、この部分は活性剤、フラックス等の残渣により汚れたままとされていた。したがって、回路基板の洗浄後に熱処理すると活性剤中のハロゲン元素がイオン化することにより回路基板上の金属導体が腐食して絶縁抵抗が低下し、回路基板の特性が劣化する問題がある。

【0011】また、ベース3の底面3bの外縁部に一列に半田付け用のパッド7(端子)が形成されるので、半導体チップ2が高集積化されて端子数が増加するに連れて、半導体チップ2の寸法は小さくてもパッケージ寸法は端子数に応じた大きなものにしなければならず、回路基板の高密度化の妨げとなる問題がある。

【0012】上記の点に鑑み本発明では、回路基板に実装した際、回路基板の洗浄を確実に実行してその特性を劣化させることがなく、また端子数が増加してもパッケージ寸法を徒に増大させずに回路基板の高密度化の妨げとなることのない半導体装置を提供することを目的とする。

【0013】

【課題を解決するための手段】上記の問題は以下のとおり構成することにより解決される。

【0014】すなわち、請求項1の発明では、半導体チップが載置されるベースと一端を半導体チップと電気的に接続され他端がベースの外部と導通可能となるようベースの2以上の外側面に配設された導電部材とを具備した半導体装置において、導電部材の他端が外部回路基板と導通可能なよう外部回路基板にベースを配設した時に外部回路基板に当接して外部回路基板とベースの外部回路基板に対向する底面との間にベースの外側と連通する空隙部を構成するようベースの底面より突出して設けられた段部を設けた。

【0015】また、請求項2の発明では、上記半導体装置において、導電部材の他端が外部回路基板と導通可能なよう外部回路基板にベースを配設した時にベースの外部回路基板に対向する底面に、一端が半導体チップと電気的に接続され他端がベースの外部と導通可能とされるテスト用端子を更に設けた。

【0016】

【作用】請求項1の発明によれば、半導体装置を外部回路基板に例えば半田付けして実装した際に回路基板と半導体装置のベースの外部回路基板に対向する底面との間に空隙部が構成され、この空隙部はベースの外側と連通しているために、例えば回路基板の洗浄液等がベースの外側から上記空隙部に流入可能となる。

【0017】また請求項2の発明によれば、ベースが外

部回路基板上に配設される際に外部回路基板と導通される導電部材はベースの外側面に配設され、これにより半導体チップと外部回路基板と導通して信号が入出力され、一方、半導体チップと電気的に接続されてベースの外部と導通可能な半導体チップのテスト用端子はベースの外部回路基板に対向する底面に配設される。

【0018】

【実施例】図1は本発明の一実施例の構成図である。図1(B)は底面図であり、図1(A)は図1(B)中I-I'線における縦断面図である。なお、図1(A)は、LCCパッケージにより構成される半導体装置12が回路基板10に実装された状態を表す。両図において、図2に示した従来の半導体装置1と同一構成部分には同一符号を付してある。

【0019】ベース13はプリント板プラスチック或いは積層セラミックで構成されたものであり、上面中央部には凹部13aが形成され、四方の外側面15₁, 15₂, 15₃, 15₄には夫々複数のサイドノッチ4が形成され、またベース13の底面13bの四方の外縁部には段部14₁, 14₂, 14₃, 14₄が形成されている。各段部は、図2に示した平板状のベース3の底面の四隅及び中央部を平坦に切削加工することにより形成され、各段部の底面はもちろん平坦とされている。

【0020】これによりベース13の底面13bの四隅には、段部14₁, 14₂の間に流入通路17₁が、段部14₂, 14₃の間に流入通路17₂が、段部14₃, 14₄の間に流入通路17₃が、段部14₄, 14₁の間に流入通路17₄が形成される。各流入通路はベース13の底面13bの中央部を介し連通している。また、各流入通路は図示の通りベース13の外側にしだい拡大する開口を有している。

【0021】ワイヤ6により半導体チップ2と接続されたメタライズ層5は、ベース3の上面よりサイドノッチ4内を経由してベース3の底面に形成された段部14₁, 14₂, 14₃, 14₄に到り、各段部にはメタライズ層5により略長方形のパッド7が夫々形成される。パッド7が回路基板10に配設された端子11に半田付けされて、図1(A)に示すとおり半導体装置12が回路基板10に実装される。

【0022】この基板実装状態でベース13の底面13bの段部14₁, 14₂, 14₃, 14₄が回路基板10に当接することにより、回路基板10とベース13との間に空隙部16が形成される。この空隙部16は、流入通路17₁, 17₂, 17₃, 17₄を介してベース13の外側の空間と連通する。

【0023】したがって、半導体装置12が回路基板10に実装された状態で、流入通路17₁, 17₂, 17₃, 17₄を介してベース13の外側から回路基板10とベース13の底面13bとの間の空隙部16に洗浄液が流入することができる。このため、回路基板10のベース1

3の下となる部分を洗浄することができるので、この部分に金属導体パターンが配設されていても金属導体パターンが基板の熱処理により腐食することがなく回路基板の特性も劣化しない。

【0024】またベース13の底面13bには、段部14₁の図中右側及び段部14₃の図中左側に夫々複数のテスト用端子18が設けられている。テスト用端子18は、ベース13上面より底面13bに貫通して設けられたスルーホール19を介してベース13上面のメタライズ層5と導通している。メタライズ層5はワイヤ6により半導体チップ2と接続されているので、テスト用端子18は半導体チップ2と導通しており、半導体チップ2よりのテスト信号をテスト用端子18より取り出すことができる。

【0025】このように本実施例では、ベース13の外縁部に底面13bより突出して設けられた段部14₁、14₂、14₃、14₄に回路基板10と半導体チップ2間の信号の入出力を行うための導電部材であるパッド7を配設し、ベース13の底面13bに半導体チップ2よりテスト用信号を取り出すテスト用端子18を配設している

ので、ベース13の外側部に全ての端子を配設していた従来の半導体装置に比べると、端子数が増大してもパッケージの寸法を徒に大きくすることがない。よって、回路基板の高密度化に寄与することができる特長がある。

【0026】なお、本実施例ではLCCパッケージの半導体装置について説明したが、端子がパッケージの2以上の面に配設されてパッケージが外部回路基板と平行に、すなわちパッケージの底面が基板面に当接して実装される構成の半導体装置であれば本発明を適用すること

ができる。

【0027】

【発明の効果】上述の如く請求項1の発明によれば、半導体装置を外部回路基板に実装した際に回路基板と装置のベース底面に構成される空隙部にベースの外側から洗浄液を流入させて装置の下に位置する回路基板面を洗浄できる特長がある。また請求項2の発明によれば、半導体チップのテスト用端子はベースの底面に配設され外部回路基板と導通される導電部材だけがベースの外側面に配設されるので、従来の半導体装置に比べるとベースの寸法を大きくすることなく回路基板に実装できる特長がある。

【図面の簡単な説明】

【図1】本発明の一実施例の構成図であり、図1(A)は縦断面図、図1(B)は底面図である。

【図2】従来の半導体装置の一例の構成図であり、図2(A)は縦断面図、図2(B)は底面図である。

【符号の説明】

2 半導体チップ

5 メタライズ(導電部材)

7 パッド(導電部材)

10 回路基板

12 半導体装置

13 ベース

13b 底面

14₁, 14₂, 14₃, 14₄ 段部

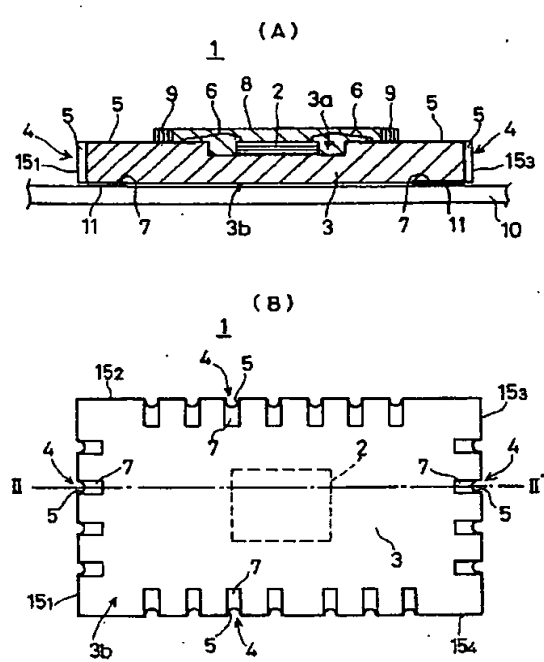
15₁, 15₂, 15₃, 15₄ 外側面

16 空隙部

18 テスト用端子

【图2】

従来の半導体装置の一例の構成図



(72)発明者 原口 隆
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内